

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10303504 A**

(43) Date of publication of application: **13.11.98**

(51) Int. Cl

**H01S 3/18**

**H01L 33/00**

(21) Application number: **09108673**

(71) Applicant: **SHARP CORP**

(22) Date of filing: **25.04.97**

(72) Inventor: **TAKATANI KUNIHIRO**

(54) **GAN COMPOUND SEMICONDUCTOR DEVICE  
AND ITS MANUFACTURE**

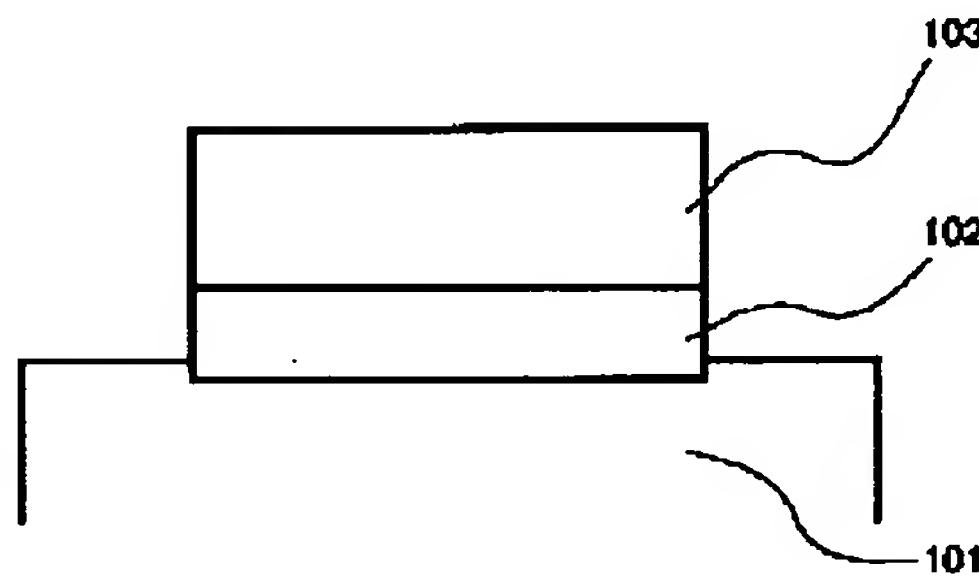
a predetermined electrode constitution is completed.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to form a p-type electrode without forming an unnecessary high resistance layer to be formed on the surface of a p-type impurity contained GaN compound semiconductor layer, by sequentially forming a layer consisting of an electrode metal and a gallium compound and a layer consisting of an electrode metal on the p-type impurity contained GaN compound semiconductor layer.

**SOLUTION:** After the surface of a p-type GaN 101 is cleaned, a chamber in which a wafer is mounted is evacuated to a high vacuum. After the chamber is evacuated to a predetermined vacuum, the wafer is heated at a predetermined temperature. Ga and Pt are simultaneously evaporated on the surface of the p-type GaN 101 by a resistance heating evaporation method and an EB evaporation method, respectively. Since Ga and Pt flying out of an evaporation source have high heat energies, they cause a compound reaction on the surface of the p-type GaN 101, and a compound layer 102 is thereby formed. Next, by forming an electrode metal Pt layer 103 by the EB evaporation method, the formation of



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-303504

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.<sup>6</sup>

H 01 S 3/18

H 01 L 33/00

識別記号

F I

H 01 S 3/18

H 01 L 33/00

E

C

審査請求 未請求 請求項の数 7 OL (全 7 頁)

(21)出願番号

特願平9-108673

(22)出願日

平成9年(1997)4月25日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 高谷 邦啓

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

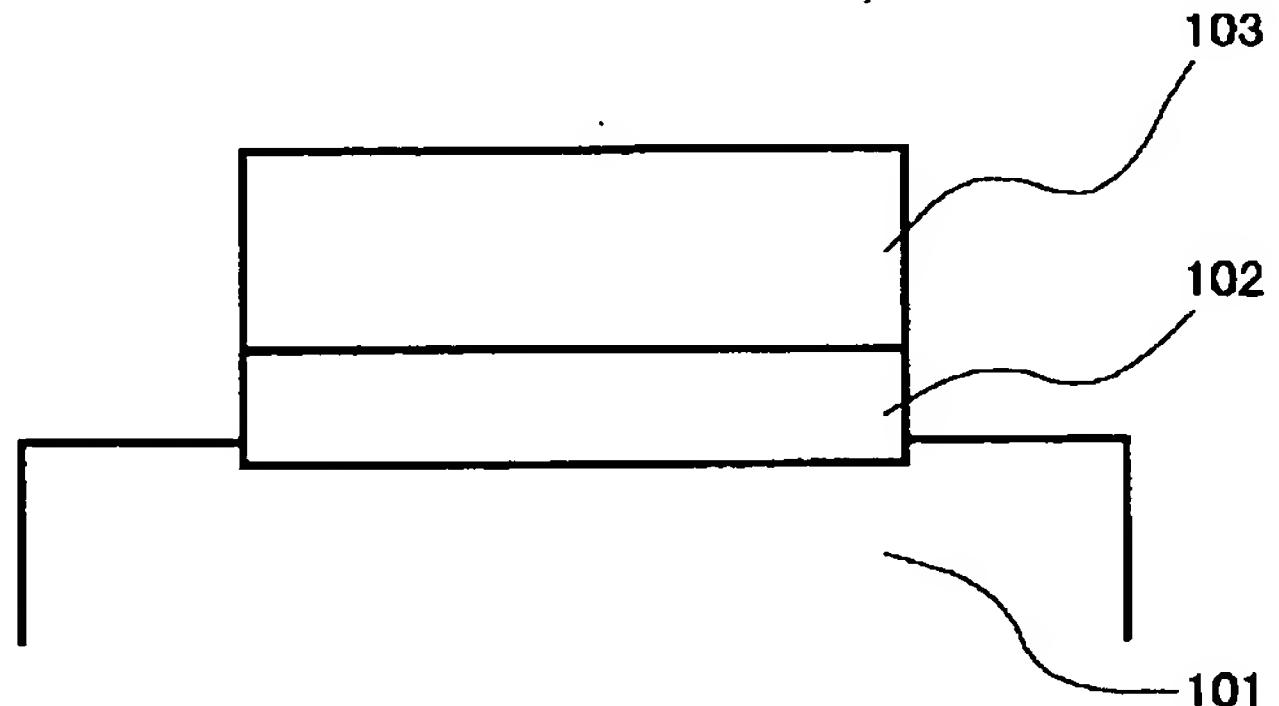
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 GaN系化合物半導体装置及びその製造方法

(57)【要約】

【課題】 p型の導電型を有するGaN系半導体に対する低抵抗オーム電極を提供し、該半導体系を用いた各種デバイスの動作電圧の低減を図る。

【解決手段】 p型GaNに対する電極として、電極表面からPt層、PtGaN化合物層、p型GaNにより構成される電極構造を形成する。Pt-GaN界面でのエネルギー障壁を緩和する中間層として、特性・安定性に優れたPtGaN化合物が電極構造の中に含まれていることをその特徴とする。



## 【特許請求の範囲】

【請求項1】 p型不純物を含むGaN系化合物半導体層に対するp型電極を備え、該p型電極は、前記p型不純物を含むGaN系化合物半導体層上から順に、実質的に窒素を含まない、電極金属とガリウムの化合物からなる第1層、及び単独の前記電極金属からなる第2層、を含む多層構造体により形成されてなることを特徴とするGaN系化合物半導体装置。

【請求項2】 p型不純物を含むGaN系化合物半導体層に対する電極構造であって、前記半導体層上から順に、電極金属とガリウムの化合物からなる第1層、及び耽読の前記電極金属からなる第2層、とを含む、比コンタクト抵抗が $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下である多層構造体によるp型電極を備えてなることを特徴とするGaN系化合物半導体装置。

【請求項3】 p型不純物を含むGaN系化合物半導体層に対するp型電極であって、前記p型電極は、前記p型不純物を含むGaN系化合物半導体層上から順に、真空蒸着法、化学気相成長法、高周波スパッタリング法のいずれかの薄膜形成方法により電極金属とガリウムの化合物からなる第1層を製膜する工程、同じく真空蒸着法、化学気相成長法、高周波スパッタリング法のいずれかのにより単独の前記電極金属からなる第2層を製膜する工程、とを含む多層構造体により形成されることを特徴とする請求項1又は請求項2に記載のGaN系化合物半導体装置の製造方法。

【請求項4】 上記電極金属は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類、またはこれらを含む化合物であることを特徴とする請求項3に記載のGaN系化合物半導体装置の製造方法。

【請求項5】 p型不純物を含むGaN系化合物半導体層に対する電極形成方法であって、前記半導体層上に、Ru、Rh、Pd、Os、Ir、Ptから選択された一種類以上の電極金属を成膜する工程と、その後、500～900℃のアニーリングを行うことにより前記電極金属と前記半導体層の間に、電極金属のガリウムの化合物層を形成することを特徴とする請求項1又は請求項2に記載のGaN系化合物半導体装置の製造方法。

【請求項6】 前記電極金属がPdであり、500～800℃のアニーリングを行うことを特徴とする請求項5に記載のGaN系化合物半導体装置の製造方法。

【請求項7】 前記電極金属がPtであり、600～900℃のアニーリングを行うことを特徴とする請求項5に記載のGaN系化合物半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体レーザダイオードを始めとするGaN系化合物半導体装置及びその製造方法に関する。

## 【0002】

10

20

20

30

30

40

50

【従来の技術】 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ （ただし $x+y+z=1$ 、 $0 \leq x, y, z \leq 1$ ）で表わされるGaN系化合物半導体は大きなエネルギー・バンドギャップや高い熱安定性を有し、発光素子や高温デバイスを初めとして様々な応用展開が可能な材料系として期待されている。中でも発光ダイオード（Light Emission Diode；LED）としては青～緑の波長域で数cd級のデバイスが既に開発・実用化され、今後は更に長波長発光を狙うことによるフルカラー化や、同材料系を用いたレーザダイオード（Laser Diode；LD）の実現が、研究開発のターゲットとなりつつある。

【0003】従来、これらのデバイスのp型電極として用いられてきた構造の断面概略図を図6に示す。p型電極において、p型GaN層601からなるコンタクト層に接する金属層602にNiが用いられ、p型GaN層601上にNi層602が接触した状態で、窒素雰囲気中にて500℃、10分のアニーリングを行い、GaNとNiの中間層604を形成している。さらにNi層602の上には、ワイヤボンディングや素子マウントのための表面電極層603が積層されている。この表面電極材料としてはAuなどが用いられる場合が多い。

【0004】これは、p型GaN601とNi金属602が直接接觸した場合、第2図に示したようにその界面Sの価電子帶側に形成されるショットキー障壁Esの高さを、中間層604を形成することにより第3図のように緩和するためである。

## 【0005】

【本発明が解決しようとする課題】しかしながら、上記の従来技術により形成されたGaN系のp型電極構造には、電極のオーム特性に不安定さがあり、比コンタクト抵抗値も $10^{-2} \sim 10^{-3} \Omega \text{ cm}^2$ と高いという問題点があった。半導体レーザにておいて必要となるp型電極の比コンタクト抵抗は $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下であり、従来の技術では達成不可能であった。

【0006】そのため、従来技術によるp型電極構造を詳細に検討した結果、上記の構造では、図6に示すように中間層604の下部にさらに新たな高抵抗層605が形成されていることが分かった。この高抵抗層605は、以下のようない由により形成されるものと考えられる。

【0007】Niを金属層602として用いてp型GaN層601と熱処理により中間層604を形成した場合、中間層604の内部にはGaNとNiの化合物以外にNiとNの化合物も多量に形成される。この時（電極金属NiとGaNの化合物が中間層として形成されるアニーリング過程および電極形成後の他の熱サイクルの過程、とりわけ前者において）、下部のp型GaN層601からNが供給され、GaN結晶中のN原子を吸い出し、p型GaN層の表面を高抵抗層（またはn型層）605に変質させてしまうのである。

## 【0008】

【課題を解決するための手段】本発明は上記の課題を解決するためになされたものであって、従来技術の課題であったp型GaN層表面に形成される不要な高抵抗層を形成することなく、p型電極を形成することを可能とし、ひいては、 $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下の低抵抗なp型オーミック電極を実現するものであり、以下のような構成で本発明の特徴的な構成を有する。

【0009】本発明は、p型不純物を含むGaN系化合物半導体層に対するp型電極を備え、該p型電極は、前記p型不純物を含むGaN系化合物半導体層上から順に、実質的に窒素を含まない、電極金属とガリウムの化合物からなる第1層、及び単独の前記電極金属からなる第2層、を含む多層構造体により形成されてなることを特徴とするGaN系化合物半導体装置である。

【0010】また、本発明は、p型不純物を含むGaN系化合物半導体層に対する電極構造であって、前記半導体層上から順に、電極金属とガリウムの化合物からなる第1層、及び単独の前記電極金属からなる第2層、とを含む、比コンタクト抵抗が $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下の多層構造体によるp型電極を備えてなることを特徴とするGaN系化合物半導体装置である。

【0011】製造方法においては、前記GaN系化合物半導体装置の製造方法において、前記p型電極は、前記p型不純物を含むGaN系化合物半導体層上から順に、真空蒸着法、化学気相成長法、高周波スパッタリング法のいずれかの薄膜形成方法により電極金属とガリウムの化合物からなる第1層を製膜する工程、同じく真空蒸着法、化学気相成長法、高周波スパッタリング法のいずれかのにより単独の前記電極金属からなる第2層を製膜する工程、とを含む多層構造体により形成されることを特徴とする。前記電極金属は、特に、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類、またはこれらを含む化合物が望ましい。

【0012】あるいは、前記製造方法における、p型不純物を含むGaN系化合物半導体層に対する電極形成方法において、前記半導体層上に、Ru、Rh、Pd、Os、Ir、Ptから選択された一種類以上の電極金属を成膜する工程と、その後、500～900℃のアニーリングを行うことにより前記電極金属と前記半導体層の間に、電極金属のガリウムの化合物層を形成することを特徴とする。特に、前記電極金属がPdである場合は、500～800℃のアニーリングを行うことを特徴とする。また、前記電極金属がPtである場合は、600～900℃のアニーリングを行うことを特徴とする。

## 【0013】

【発明の実施の形態】本発明の電極構造は、p型不純物を含むGaN系化合物半導体上に形成された電極構造が、電極金属／実質的にNを含まない、前記金属-Ga化合物半導体なる構成、または、電極金属／該金属-Ga化合物半導体なる構成、または、電極金属／該金属-Ga

a化合物／半導体なる構成で、比コンタクト抵抗が $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下である多層構造体によるなることを特徴とする。

【0014】上記は、半導体上の構造部分を、真空蒸着法、化学気相成長法、高周波スパッタ法のいずれかにより電極金属とGaNとを同時に形成することにより得られる。これは、本プロセスにより、GaN層上に、例えば直接PtとGaNの原子が同時に蒸着されることにより、PtとNの分子結合を抑制した状態で、すなわち、実質的にNを含まない、GaNとPtからなる化合物（合金）を制御性良く形成することができるからである。さらに、上記の電極構造において、中間層を上記に示した構成とすることにより、電極が形成された後のプロセス過程におけるGaN層からのN抜けに起因する中間層とp型GaN界面での高抵抗領域の形成も未然に防ぐことができる。これらより、電極金属とGaNとの化合物に実質的なNを含まない、あるいはp型電極の比コンタクト抵抗が $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下の化合物とすることができる。

【0015】通常、p型GaNと金属が接触した場合、先に述べたようにその界面には極めて幅広で、背の高いショットキー障壁が価電子帯側に形成されるが、両者の間に特定の中間層を挿入することで、前記障壁が幅、高さともに分割され、障壁が正孔の界面通過を阻害する程度が低減され、電極構造のオーミック化・低抵抗化が達成される。我々は、この目的に合致する材料としては電極金属材料として、Ru、Rh、Pd、Os、Ir、Pt、Niなどが優れていることを見出した。本発明の電極構造において、前記金属元素群のうち少なくとも一種類以上が電極金属の構成材料として含まれていることを特徴とする。前記電極金属は单層であっても、多層であっても構わない。ただし多層の場合には、該金属元素群のうち少なくとも一種類以上を含む層が最下層になっていなければならない。

【0016】また、本発明の電極構造は、p型GaN系半導体層上に形成する金属種を限定することにより、p型GaN系半導体層上に直接電極金属層を形成した後、適当な条件でアニーリングすることにより中間層を形成して実現することもできる。このような中間層としてはGaN層からのN原子を吸い出すことを極力抑制し、電極金属とGaNの化合物を選択的に形成することが適している。この場合の金属としては、Ru、Rh、Pd、Os、Ir、Ptがあり、さらに望ましくはPd、Ptである。上記の場合も、電極金属／該金属-GaN化合物／GaN系半導体なる構成の電極構造を形成する。ここで、前記と同様に、金属-GaN化合物は実質的にNを含まない、あるいは前記電極金属／該金属-GaN化合物／GaN系半導体なる構成でp型電極の比コンタクト抵抗は $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下とすることができます。なお、特に電極金属がPdの場合には、アニーリング温度は5

00°C~800°C、また、電極金属がPtの場合には、アニーリング温度は600°C~900°Cが適当である。

【0017】以下に、本発明の具体的な実施例を図面を参照して説明する。

【0018】(実施例1) 図1は、本発明の第1の実施例に係る電極構造を示す断面図である。

【0019】最初に、有機金属気相成長(MOCVD)法によりサファイア基板上にエピタキシャル成長された、 $1.5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するようMgを $10^{19} \text{ cm}^{-3}$ だけ添加したp型GaN層101の表面を、アセトン及びエタノール中で超音波洗浄し、表面の脱脂を行った。次に、HClと脱イオン水を体積比1:1で混合したエッチャントに約3分間浸漬し、表面に吸着した酸素及び表面に形成された酸化物層を除去した。続いて、HFと脱イオン水を体積比1:1で混合したエッチャントに約3分間浸漬し、表面に付着した炭素を含む不純物を除去した。

【0020】以上の手順でp型GaN101の表面を清浄化した後、該ウェハを真空蒸着装置のメインチャンバ内にセットし、チャンバ内を高真空( $1 \sim 2 \times 10^{-6} \text{ Torr}$ 以下)に排気した。この蒸着装置は抵抗加熱式の蒸着法と電子ビーム(EB)蒸着法が併用できるようになっており、所定の真空中に到達後、ウェハの温度を400°C程度まで加熱し、抵抗加熱式蒸着法によりGaを、EB蒸着法によりPtをそれぞれp型GaN101表面に同時に蒸着した。

【0021】蒸発源から飛び出したGaとPtはそれぞれ大きな熱エネルギーを有しているので、両者はp型GaN101表面で化合物反応を起こし、化合物層102が形成される。続いて電極金属用Pt層103をEB蒸着法にて成膜することにより、本実施例の電極構造が完成了。なお本実施例においては化合物層102、Pt層103の膜厚をそれぞれ20nm、100nmとなるようにした。

【0022】以上のような工程で製作された電極構造の比コンタクト抵抗をTLM(Transmission Line Model)法により測定したところ、 $1 \times 10^{-4} \Omega \text{ cm}^2$ 以下の、従来に比べて比コンタクト抵抗値を低減することができた。例えば、もっとも抵抗値が高い $1 \times 10^{-4} \Omega \text{ cm}^2$ の電極をストライプ幅 $10 \mu\text{m}$ 、共振器長 $500 \mu\text{m}$ のディメンジョンを有する半導体レーザにp型電極として用いた場合でも、20mA通電時の電極部分での電圧降下はおよそ400mVとなり、数Vレベルの素子電圧全体に対して及ぼす影響を十分小さく抑えることが可能になる。

【0023】図7に、上記のPtをp型電極に採用したGaN系化合物半導体レーザのレーザのI-V特性を示す。同図中に示した従来のAu/Ni電極をp型電極に用いた例と比べて抵抗値が低減され、特性が向上したことが確認された。

【0024】このような結果が得られるのは、本プロセスにより形成された化合物層102では、GaN層101上に直接PtとGaの原子を蒸着することにより、PtとNの分子結合を抑制した状態で、GaとPtからなる化合物(合金)を制御性良く形成することができるからである。また、上記の電極構造において、中間層102を上記に示した構成とすることで、電極が形成された後のプロセス過程におけるGaN層101からのN抜けに起因する中間層とp型GaN界面での高抵抗領域の形成を未然に防ぐことができるからである。

【0025】本実施例の電極構造とすることで、p型GaN層101とPt層103の間に存在する正孔に対して幅広で背の高いエネルギー障壁が分割され、障壁が正孔の伝播に対して与える影響を少なくし、電極の低抵抗化が実現できた。

【0026】なお、上記のプロセスにおいて形成される、PtとGaの化合物層102の組成はPtGaに限るものではなく、Pt<sub>2</sub>Ga<sub>3</sub>やPt<sub>3</sub>Ga<sub>2</sub>といった組成でもよく、該化合物層の上に蒸着される金属元素とGaの化合物であればよい。

【0027】また、上記の実施例の形態において作製された電極では、金属層103と化合物層102に含まれる金属材料としてはPt以外に、Ru、Rh、Pd、Os、Ir、Niの場合にも検討したが、 $1 \sim 5 \times 10^{-4} \Omega \text{ cm}^2$ の比コンタクト抵抗を実現することができた。また、上記真空蒸着工程におけるウェハの加熱は電極の付着強度を高めるため、またPtとGaとの化合物反応を促進するために行うもので、化合物層102と半導体層101の密着性を確保するため、100°C以上のウェハ温度が好ましく、化合物層102形成前の蒸着器中のGaN層101表面からのNの離脱を抑制するためには700°C以下の温度であることが必要であった。

【0028】また、本実施例では、電極構造の成膜に抵抗加熱式およびEB蒸着法を用いているが、スパッタリング法や化学気相成長法(CVD法)が代用されてもかまわない。

【0029】(実施例2) 本実施例の構造は図1と同等であるので図面は省略し、図1をそのまま使用して説明する。

【0030】実施例1ではPtとGaの化合物層102は独立した層として成膜されたが、本実施例ではまずp-GaN層101上にEB蒸着法を用いてPt層103を蒸着した後、アニーリング処理を行い本実施例で示した構造を形成した。

【0031】アニーリングの際には、GaN層101からの窒素脱離の抑止や電極の酸化防止のためにNF<sub>3</sub>雰囲気下でアニーリングを行った。アニーリング温度は750°C、アニーリング時間は5分とした。このようにして形成された電極では、 $2 \times 10^{-4} \Omega \text{ cm}^2$ のコンタクト抵抗が得られた。

【0032】さらに、本構成においてアニーリング温度を450℃～1000℃において50℃ごとに温度条件を検討を実施した結果、550℃、500℃、450℃および950℃、1000℃でアニーリングを行った場合、コンタクト抵抗が $2 \sim 10 \times 10^{-3} \Omega \text{ cm}^2$ と高くなつた。これは、550℃以下では中間層402が形成されないためであり、また、950℃以上でアニーリングを実施したウェハーにおいては、化合物層402形成の速度が早く、全てのPtが化合してしまつた上に、GaN層401から雰囲気中へN原子が抜けるため、高抵抗層が出現してしまうためであることが分かつた。このように、ある選択された電極金属、例えばこのPt等においては、アニーリングにおいて、化合物層402を形成する際において、所定温度領域において実質的にNを含まないようにすることが可能であり、これにより低抵抗の化合物層402を形成することができる。

【0033】なお、再現性良く確実に化合物層402を形成するためにはアニーリング時間を3分以上とすることが必要であり、かつ、全てのPtが化合してしまつた上に、GaN層401から雰囲気中へN原子が抜けることによる高抵抗層の出現を防止するためにはアニーリング時間を20分以下とすることが $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下のコンタクト抵抗を実現するのに必要であった。

【0034】以上より、Pt層を形成した後アニーリングし、選択的にPtとGaの化合物を形成するためにはアニーリング温度の最適範囲は600℃から900℃で、アニーリング時間の最適範囲は3～20分間であることが判明した。

【0035】また、本実施例構成により形成される電極において、使用可能な金属を検討した所、Pt以外に、Ru、Rh、Pd、Os、Irを用いた場合に、材料ごとに若干上下するが、概ね500～900℃の温度範囲で $10^{-4} \Omega \text{ cm}^2$ 以下のコンタクト抵抗を実現できた。

【0036】さらに、これらの金属種の中でも、Pdが上記実施例のPtと並んで、 $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下のコンタクト抵抗が制御的よく確認できた。

【0037】上述の構成に、Pdを適用した場合の製造例を図4、図5を用いて説明する。

【0038】最初に、分子線エピタキシ(MBE)法によりSiC基板上にエピタキシャル成長された $7 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するようにZnを $10^{20} \text{ cm}^{-3}$ 程度添加したp型GaN層401の表面を、アセトン及びエタノール中で超音波洗浄し、表面の脱脂を行つた。次に、ウェハーをRIE装置に投入し、Cl<sub>2</sub>やBCl<sub>3</sub>などの塩素系ガスによりp型GaN層401表面に200Wの電力を投入して約30秒間プラズマ照射し、p型GaN層401表面に吸着した酸素及び表面に形成された酸化物層やその他の不純物層を除去した。以上の手順でp型GaN層401の表面を清浄化した後、該ウェハーをRFスパッタリング装置のメインチャンバ内にセ

ットし、チャンバ内を高真空( $1 \sim 2 \times 10^{-6} \text{ Torr}$ 以下)に排気した。所定の真空度に到達後、ウェハーの温度を200℃程度まで加熱し、Arプラズマによるスパッタリングで電極金属用Pd層403、ボンディング用電極404をそれぞれ100nm、200nm成膜し、図4に示す層構造を形成した。

【0039】その後、前記電極構造を650℃のN<sub>2</sub>雰囲気下で約5分間アニールすると、p型GaN層401とPd層403界面で化合物反応が生じ、PdとGaの化合物層402が生成され、その結果、図5に示すような電極構造が完成した。

【0040】上記の電極構造において、PdとGaの化合物層402の組成はPdGaでも、或いはPd<sub>2</sub>Ga<sub>3</sub>やPd<sub>3</sub>Ga<sub>2</sub>といった組成でもよく、該化合物層403の上方に隣接する金属元素とGaの化合物であればよい。また、上記真空蒸着工程においてウェハーの加熱は、各金属層の付着強度を高めるために行うもので、特に200℃に限定されるものではない。

【0041】以上のような工程で製作された電極構造の比コンタクト抵抗をTLM法により測定したところ、第1の実施例には及ばないものの、 $3 \times 10^{-4} \Omega \text{ cm}^2$ の、従来値と比較して低抵抗な値を得ることができた。これは、上記の電極構造において、中間層(化合物層402)を上記に示した構成とすることで、電極が形成された後のプロセス過程におけるPd層403とp型GaN層401界面での高抵抗領域の形成を未然に防ぐことができた。または、先の例のPtとGaとの化合物と同様に、PdとGaの化合物はp型GaN層401から、結晶中の窒素を吸い出して下地のp型GaN層401の表面に高抵抗層またはn型層を形成することができないと考えられる。

【0042】さらに、本構成においてアニーリング温度を450℃～1000℃において50℃ごとに温度条件を検討を実施した結果、450℃以下および850℃以上でアニーリングを行つた場合、コンタクト抵抗が $5 \sim 10 \times 10^{-3} \Omega \text{ cm}^2$ と高くなつた。これは、450℃以下では中間層402が形成されないためであり、また、850℃以上でアニーリングを実施したウェハーでは、化合物層402形成の速度が早く、全てのPdが化合してしまつた上に、GaN層401から雰囲気中へN原子が抜けるため、高抵抗層が出現してしまうためであることが分かつた。また、このような温度ではAu層404がGaN層401にまで達してしまい、界面のエネルギー障壁が増大して高抵抗化するという問題も明らかになった。

【0043】なお、再現性良く確実に中間層(化合物層)403を形成するためにはアニーリング時間を3分以上とすることが必要であり、かつ、全てのPdが化合してしまつた上に、GaN層401から雰囲気中へN原子が抜けることによる高抵抗層の出現を防止するために

はアニーリング時間を20分以下とすることが $5 \times 10^{-3} \Omega \text{ cm}^2$ 以下のコンタクト抵抗を実現するのに必要であった。

【0044】従って、Pd層403を形成した後アニーリングし、選択的にPdとGaの中間層（化合物層）402を形成するためには、アニーリング温度の最適範囲は500°Cから800°Cで、アニーリング時間の最適範囲は3~20分間であることが判明した。

【0045】このようなGaとの化合物中間層（化合物層）402を選択的に形成し、GaN層401からのN原子を吸い出すことを極力抑制するこの金属としては、他に、Ru、Rh、Os、Irがあり、これら金属でも、前記と同様に、金属-Ga化合物は実質的にNを含まない、あるいは前記電極金属／該金属-Ga化合物／GaN系半導体なる構成でp型電極の比コンタクト抵抗は $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下とすることができます。これらの場合における、アニーリング温度は、Pt、Pdの場合と同様で、概ね500°C~900°Cの範囲が適当である。

【0046】以上、本実施例では電極構造の成膜にRFスパッタリング法を用いたが、特にこれに限定されるものではなく、第1の実施例と同様に、たとえばEB蒸着法やその他の薄膜形成方法が用いられてもなんら問題はない。また、本発明とは直接関係しないが、上記第1~第3の実施例において、例えばp型ドーパントであるMgやZnなどをp型GaN表面に拡散するなどしてp型GaN表面近傍のキャリア濃度を高濃度化しておけば、第1~第3の実施例よりもそれぞれ更に低抵抗な電極構造を得ることが可能であるのは言うまでもない。

#### 【0047】

【発明の効果】本発明によれば、p型GaNに対する電

極構造において選択的に電極金属とGaの化合物を形成することにより、GaN層表面に高抵抗層やn型化層が出現することを抑制でき、結果、 $5 \times 10^{-4} \Omega \text{ cm}^2$ 以下の十分に低抵抗なオーム電極を形成することができた。これにより、半導体レーザや発光ダイオードなどの発光デバイスの動作電圧を大幅に低減することができた。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例に係る電極構造を示す断面模式図である。

【図2】従来の電極構造における金属-半導体界面のエネルギー障壁の様子を表す模式図である。

【図3】金属-半導体界面に中間層が形成された場合のエネルギー障壁の様子を表す模式図である。

【図4】本発明の第3の実施例において各金属層を成膜した直後の電極構造を示す断面図である。

【図5】本発明の第3の実施例において熱処理後の電極構造を示す断面図である。

【図6】p型GaNに対する従来の電極構造を示す断面模式図である。

【図7】Pt電極およびAu/Ni電極を用いた半導体LDのI-V特性である。

#### 【符号の説明】

101 p型GaN層

102 Pt/Ga化合物層

103 Pt層

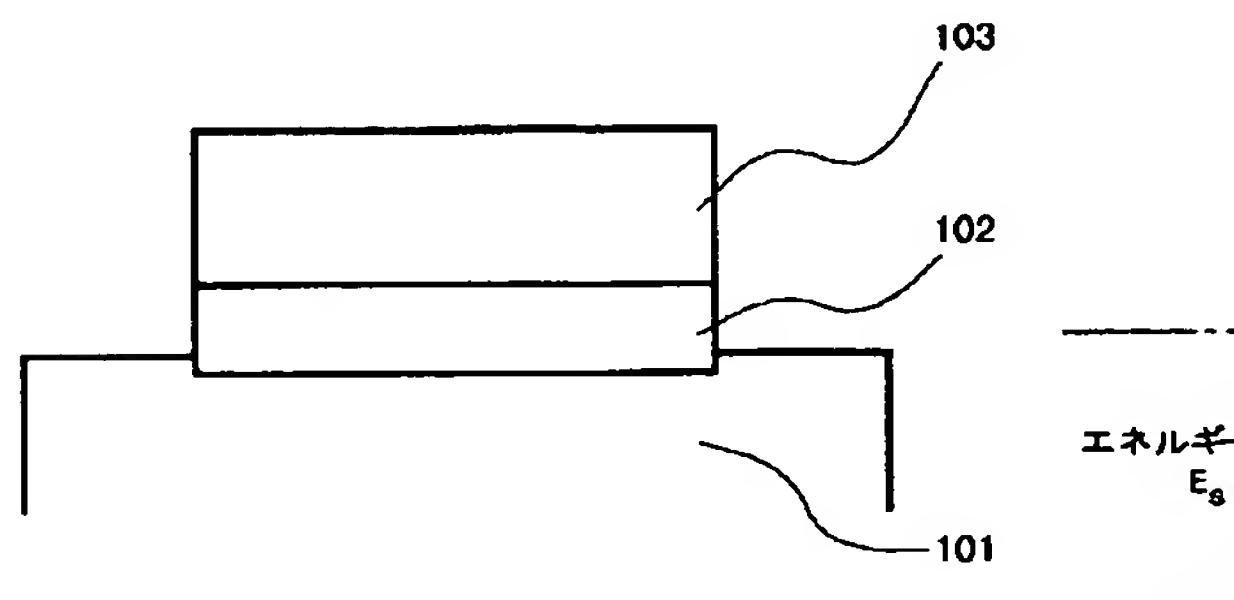
401 p型GaN層

402 Pd/Ga化合物層

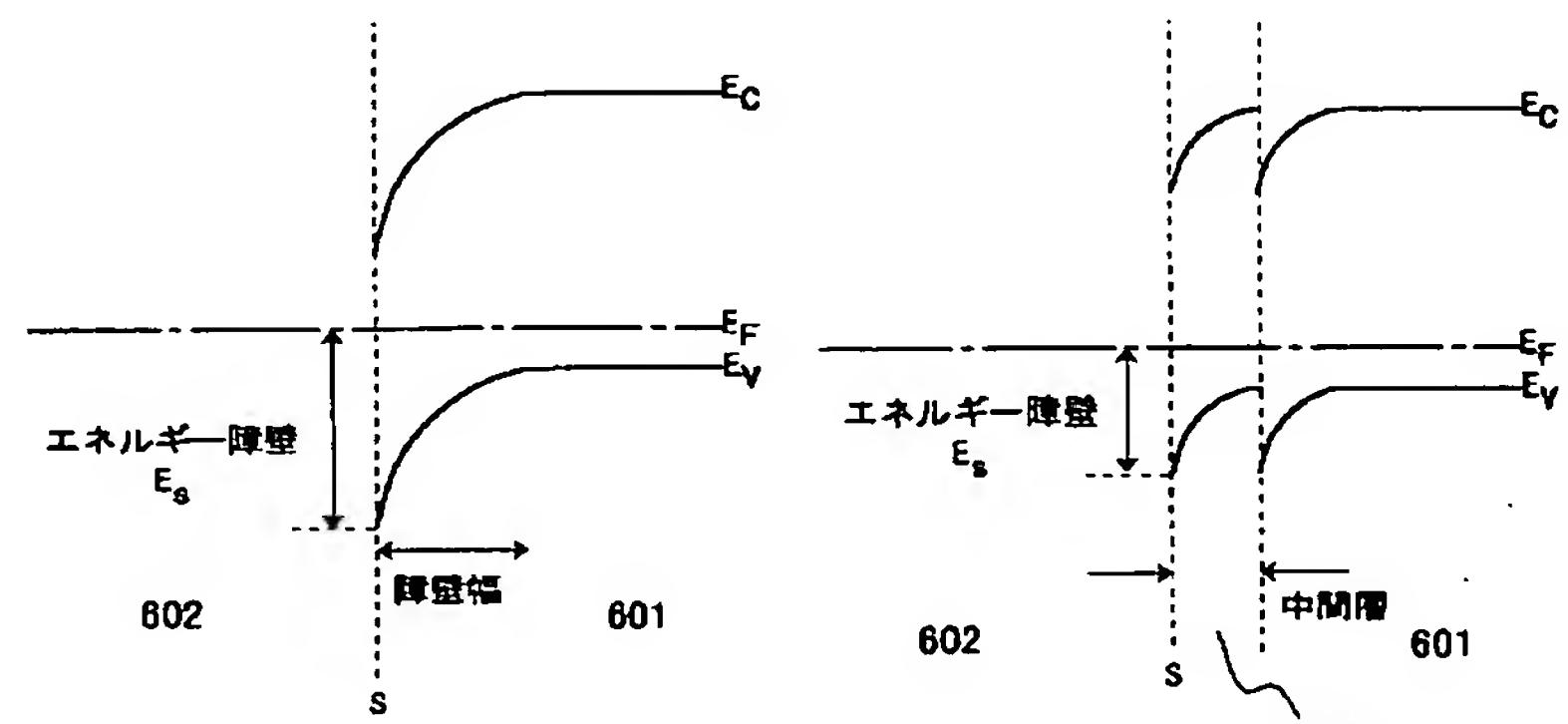
403 Pd層

30 404 Au層

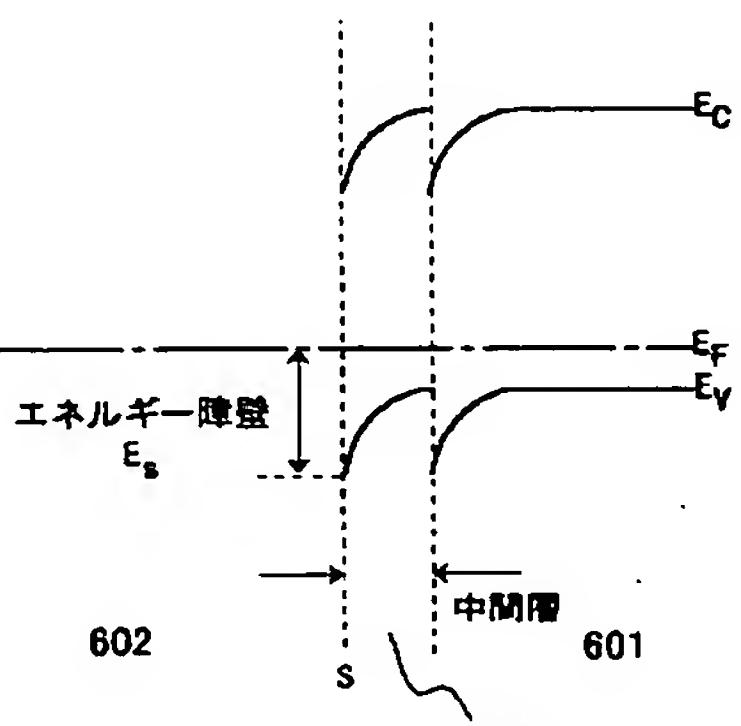
【図1】



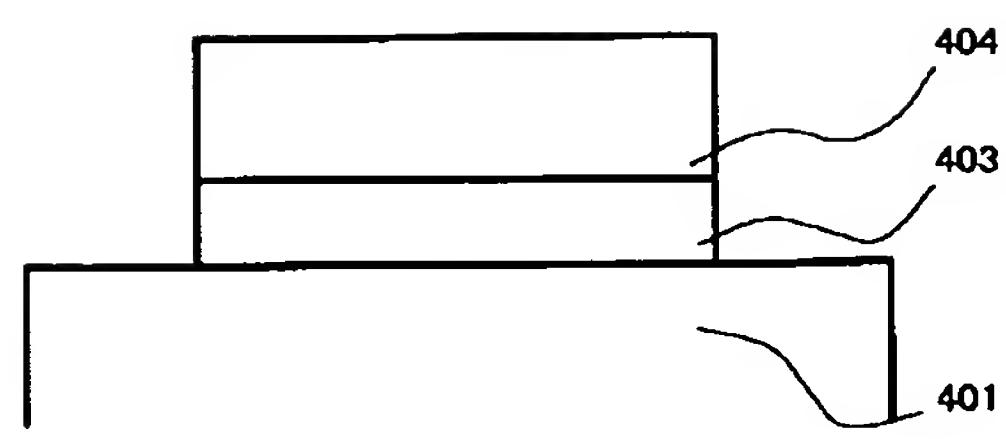
【図2】



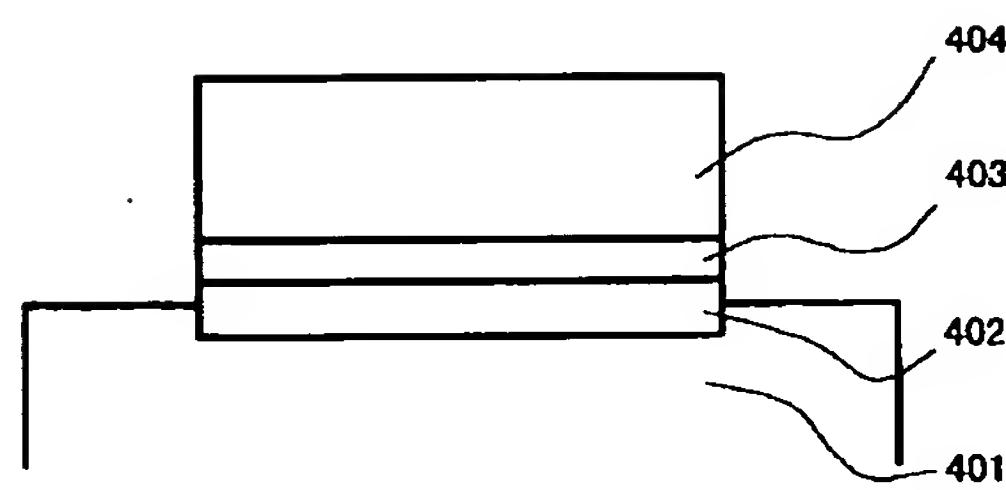
【図3】



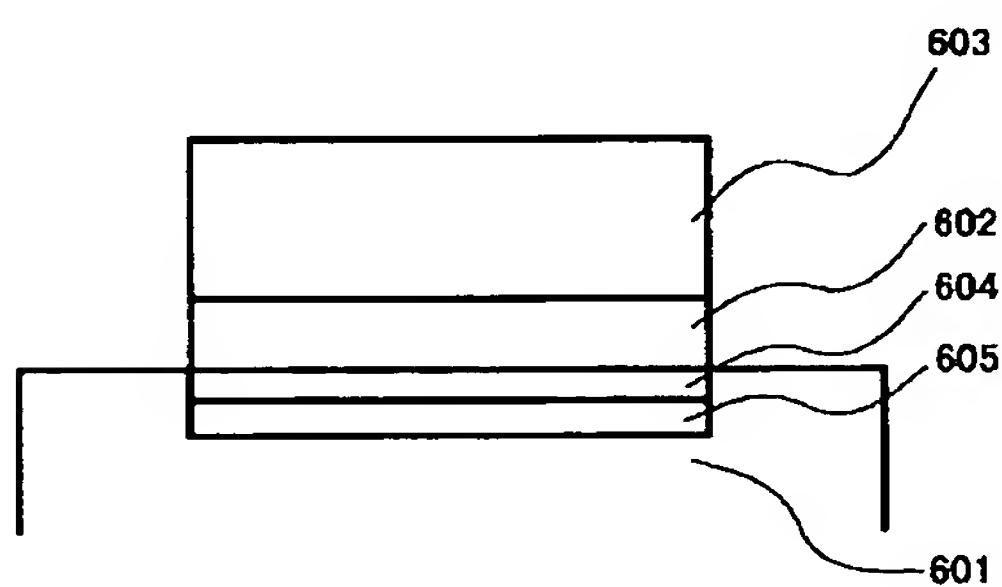
【図4】



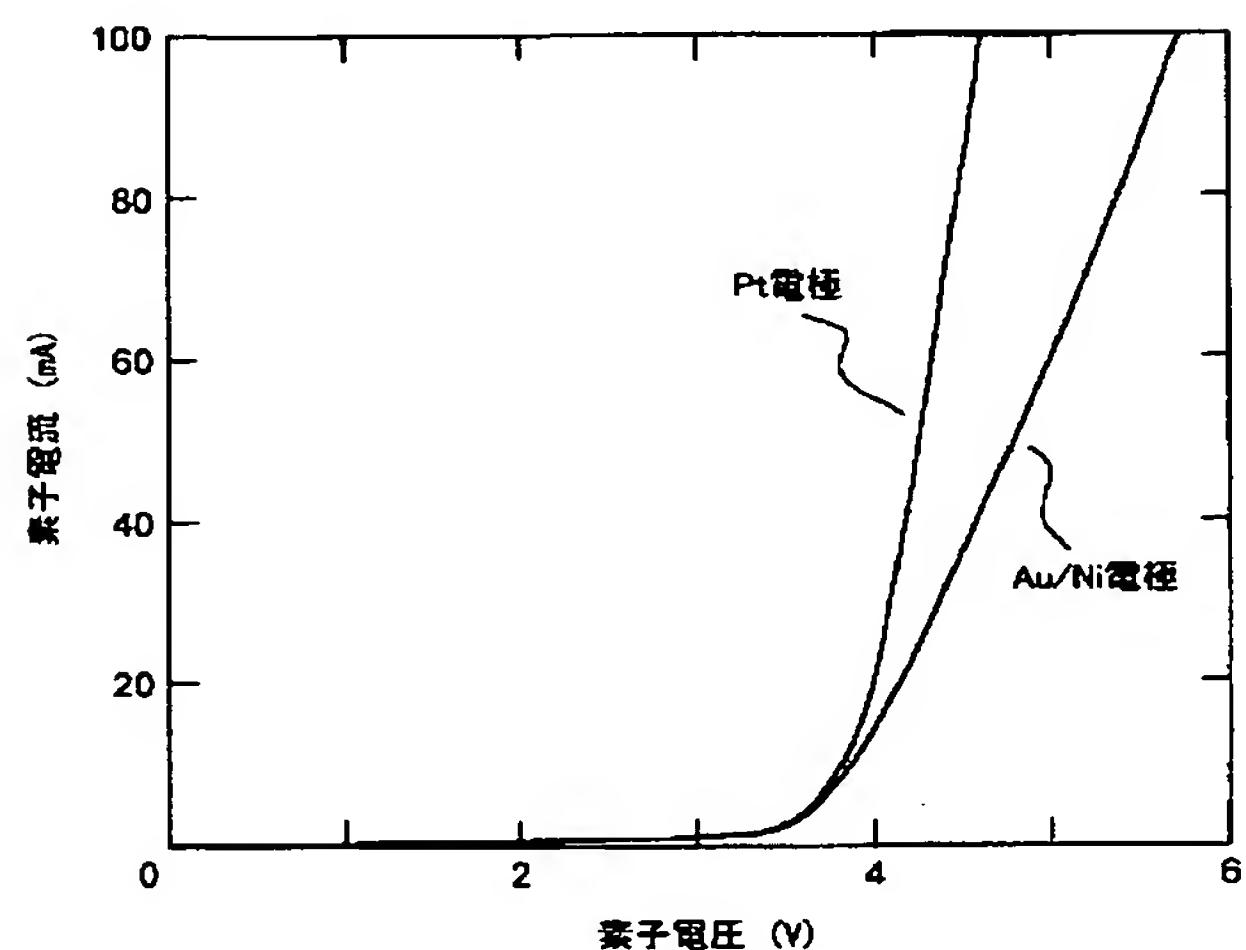
【図5】



【図6】



【図7】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年7月27日(2001.7.27)

【公開番号】特開平10-303504

【公開日】平成10年11月13日(1998.11.13)

【年通号数】公開特許公報10-3036

【出願番号】特願平9-108673

【国際特許分類第7版】

H01S 5/30

H01L 33/00

【F I】

H01S 3/18

H01L 33/00 E

C

【手続補正書】

【提出日】平成12年8月4日(2000.8.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 p型不純物を含むGaN系化合物半導体層と、前記GaN系化合物半導体層に形成されたp型電極を備え、

該p型電極は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類とガリウムとを含む層を有することを特徴とするGaN系化合物半導体装置。

【請求項2】 p型不純物を含むGaN系化合物半導体層と、前記GaN系化合物半導体層に形成されたp型電極を備え、

該p型電極は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類とガリウムとを含む化合物を有することを特徴とするGaN系化合物半導体装置。

【請求項3】 p型不純物を含むGaN系化合物半導体層上から順に、電極金属とガリウムの化合物からなる第1層及び前記電極金属からなる第2層、を含む多層構造体により形成され、前記電極金属は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類、または、これらを含む化合物であることを特徴とするGaN系化合物半導体装置。

【請求項4】 前記電極金属は、実質的に窒素を含まないことを特徴とする請求項3に記載のGaN系化合物半導体装置。

【請求項5】 p型不純物を含むGaN系化合物半導体層上に、電極金属とガリウムの化合物からなる第1層を製膜する工程と、前記第1層上に前記電極金属からなる

第2層を製膜する工程とを有し、

前記電極金属は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類、または、これらを含む化合物であることを特徴とするGaN系化合物半導体装置の製造方法。

【請求項6】 p型不純物を含むGaN系化合物半導体層上に、Ru、Rh、Pd、Os、Ir、Ptのいずれかの金属材料を含む層を形成する工程と、アニーリングによりRu、Rh、Pd、Os、Ir、Ptのいずれかの金属材料を含む層に選択的に前記金属材料とガリウムとを含む化合物を形成する工程とを有することを特徴とするGaN系化合物半導体装置の製造方法。

【請求項7】 p型不純物を含むGaN系化合物半導体層上に、Ru、Rh、Os、Irのいずれかの金属材料を含む層を形成する工程と、  
500~900℃の温度範囲でのアニーリングを行う工程とを有することを特徴とするGaN系化合物半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】本発明は、p型不純物を含むGaN系化合物半導体層と、前記GaN系化合物半導体層に形成されたp型電極を備え、該p型電極は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類とガリウムとを含む層を有することを特徴とするGaN系化合物半導体装置である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

**【補正方法】** 変更

**【補正内容】**

**【0010】** また、本発明は、p型不純物を含むGaN系化合物半導体層と、前記GaN系化合物半導体層に形成されたp型電極を備え、該p型電極は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類とガリウムとを含む化合物を有することを特徴とするGaN系化合物半導体装置である。また、本発明は、p型不純物を含むGaN系化合物半導体層上から順に、電極金属とガリウムの化合物からなる第1層及び前記電極金属からなる第2層、を含む多層構造体により形成され、前記電極金属は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類、または、これらを含む化合物であることを特徴とするGaN系化合物半導体装置である。さらに前記電極金属は、実質的に窒素を含まないことを特徴とする。

**【手続補正4】**

**【補正対象書類名】** 明細書

**【補正対象項目名】** 0011

**【補正方法】** 変更

**【補正内容】**

**【0011】** 製造方法においては、p型不純物を含むGaN系化合物半導体層上に、電極金属とガリウムの化合

物からなる第1層を製膜する工程と、前記第1層上に前記電極金属からなる第2層を製膜する工程とを有し、前記電極金属は、Ru、Rh、Pd、Os、Ir、Pt、Niのうち少なくとも一種類、または、これらを含む化合物であることを特徴とする。

**【手続補正5】**

**【補正対象書類名】** 明細書

**【補正対象項目名】** 0012

**【補正方法】** 変更

**【補正内容】**

**【0012】** あるいは、本発明の製造方法における、p型不純物を含むGaN系化合物半導体層上に、Ru、Rh、Pd、Os、Ir、Ptのいずれかの金属材料を含む層を形成する工程と、アニーリングによりRu、Rh、Pd、Os、Ir、Ptのいずれかの金属材料を含む層に選択的に前記金属材料とガリウムとを含む化合物を形成する工程とを有することを特徴とする。または、本発明の製造方法における、p型不純物を含むGaN系化合物半導体層上に、Ru、Rh、Os、Irのいずれかの金属材料を含む層を形成する工程と、500～900℃の温度範囲でのアニーリングを行う工程とを有することを特徴とする。